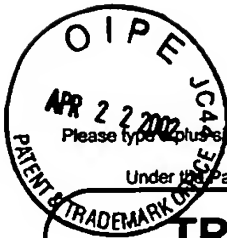


2818-7-2

COPY OF PAPERS
ORIGINALLY FILED



Please type plus sign (+) inside this box → ☐

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PTO/SB/21 (08-00)

Approved for use through 10/31/02. OMB 0651-0031

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

TRANSMITTAL FORM

(to be used for all correspondence after initial filing)

Total Number Of Pages In This Submission

43 PAGES

Application Number

10/087,471

Filing Date

February 28, 2002

First Named Inventor

Yoshinao MORIKAWA

Group Art Unit

To Be Assigned

Examiner Name

To Be Assigned

Attorney Docket No.

299002054200

ENCLOSURES (check all that apply)

☐ Fee Transmittal Form

☐ Fee Attached

☐ Amendment / Reply

☐ After Final

☐ Affidavits/declarations

☐ Extension of Time Request

☐ Express Abandonment Request

☐ Information Disclosure Statement

☒ Certified Copy of Priority Document(s)
- 40 pages

☐ Response to Missing Parts/
Incomplete Application

☐ Response to Missing Parts
under 37 CFR 1.52 or 1.53

☐ Assignment Papers
(for an Application)

☐ Drawing(s)

☐ Licensing-related Papers

☐ Petition

☐ Petition to Convert to a
Provisional Application

☐ Power of Attorney, Revocation
Change of Correspondence Address

☐ Terminal Disclaimer

☐ Request for Refund

☐ CD, Number of CD(s) _____

☐ After Allowance Communication to
Group

☐ Appeal Communication to Board of
Appeals and Interferences

☐ Appeal Communication to Group
(Appeal Notice, Brief, Reply Brief)

☐ Proprietary Information

☐ Status Letter

☒ Other Enclosure(s) (please identify
below):

1. Submission of Priority Documents -
2 pages
2. Return Receipt Postcard

Remarks

RECEIVED
APR 26 2002
TECHNOLOGY CENTER 2800

SIGNATURE OF APPLICANT, ATTORNEY OR AGENT

Firm

Morrison & Foerster LLP, 755 Page Mill Road, Palo Alto, CA 94304-1018

or

Individual Name

Madeline I. Johnston, Reg. No. 38,174

Signature

Date

April 9, 2002

CERTIFICATE OF MAILING BY "FIRST CLASS MAIL"

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail in an envelope addressed to: Assistant Commissioner for Patents, Washington, D.C. 20231, on April 10, 2002.

Aurelia Caparas

Burden Hours Statement: This form is estimated to take 0.2 hours to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Box Patent Application, Washington, DC 20231.

COPY OF PAPERS
ORIGINALLY FILED



PATENT
Docket No. 299002054200
Client Ref. F5-0236132/01R00719/US/JOE

CERTIFICATE OF MAILING BY "FIRST CLASS MAIL"

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail in an envelope addressed to:
Assistant Commissioner for Patents, Washington, D.C. 20231, on April 19, 2002.


Aurelia Caparas

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In the application of:

Yoshinao MORIKAWA

Serial No.: 10/087,471

Filing Date: February 28, 2002

For: REFERENCE VOLTAGE GENERATION
CIRCUIT FOR SEMICONDUCTOR
MEMORY DEVICE, MEMORY READING
CIRCUIT INCLUDING THE SAME, AND
ELECTRONIC INFORMATION DEVICE
INCLUDING THE SAME

Examiner: To Be Assigned

Group Art Unit: To Be Assigned

SUBMISSION OF PRIORITY DOCUMENTS

Assistant Commissioner for Patents
Washington, D.C. 20231

Dear Sir:

The attached filing papers claim priority under 35 U.S.C. § 119 on the basis of Japanese Patent Application No. 2001-057499 (filed March 1, 2001), a certified copy of said Japanese patent application is attached, thereby perfecting the priority claim.

In the unlikely event that the transmittal letter is separated from this document and the Patent Office determines that an extension and/or other relief is required, applicant petitions for

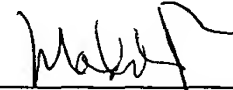
RECEIVED
APR 26 2002
TECHNOLOGY CENTER 2800

any required relief including extensions of time and authorizes the Assistant Commissioner to charge the cost of such petitions and/or other fees due in connection with the filing of this document to Deposit Account No. 03-1952 referencing 299002054200. However, the Assistant Commissioner is not authorized to charge the cost of the issue fee to the Deposit Account.

Dated: April __, 2002

Respectfully submitted,

By: _____



Madeline I. Johnston
Registration No. 36,174

Morrison & Foerster LLP
755 Page Mill Road
Palo Alto, California 94304-1018
Telephone: (650) 813-5840
Facsimile: (650) 494-0792



COPY OF PAPERS
ORIGINALLY FILED

(Translation)

PATENT OFFICE
JAPANESE GOVERNMENT

RECEIVED

APR 26 2002

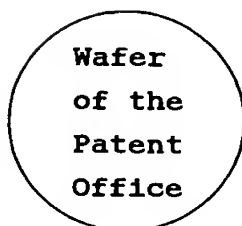
TECHNOLOGY CENTER 2300

This is to certify that the annexed is a true copy of the following application as filed with this Office.

Date of Application : March 1, 2001

Application Number : Patent Appln. No. 2001-057499

Applicant(s) : SHARP KABUSHIKI KAISHA



February 22, 2002

Kozo OIKAWA

Commissioner,
Patent Office

Seal of
Commissioner
of
the Patent
Office

Appln. Cert. No.

Appln. Cert. Pat. 2002-3010553



日 本 国 特 許 庁 RECEIVED
JAPAN PATENT OFFICE

APR 26 2002

TECHNOLOGY CENTER 2000

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 3月 1日

出 願 番 号

Application Number:

特願2001-057499

[ST.10/C]:

[JP 2001-057499]

出 願 人

Applicant(s):

シャープ株式会社

2002年 2月22日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造

出証番号 出証特2002-3010553

【書類名】 特許願

【整理番号】 01J00523

【提出日】 平成13年 3月 1日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 16/00

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 森川 佳直

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100078282

【弁理士】

【氏名又は名称】 山本 秀策

【手数料の表示】

【予納台帳番号】 001878

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9005652

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置の基準電圧発生回路及びメモリ読出回路

【特許請求の範囲】

【請求項 1】 ソースおよびドレイン電極を持つ少なくとも一つの基準セルと、該基準セルに接続され少なくとも N チャンネルトランジスタと P チャンネルトランジスタを持つと共に複数の入出力端を持つ複数の第 1 プリセンス回路と、該第 1 プリセンス回路の出力が入力され少なくとも負荷回路と N チャンネルトランジスタを持つと共に複数の入出力端子を持つ複数の第 2 プリセンス回路とを備えた半導体記憶装置の基準電圧発生回路。

【請求項 2】 前記第 1 プリセンス回路は前記基準セルからの電圧に基づいて第 1 複製電圧を生成し、前記第 2 プリセンス回路は該第 1 複製電圧に基づいて第 2 複製電圧を生成する請求項 1 記載の基準電圧発生回路。

【請求項 3】 センス増幅手段の両入力端の一方に基準電圧を供給すると共に、その他方に選択メモリセルからの電圧を供給することによりメモリ情報を読み出す半導体記憶装置のメモリ読出回路において、

請求項 1 または 2 記載の基準電圧発生回路と、読み出しメモリセル側に接続され少なくとも N チャンネルトランジスタと P チャンネルトランジスタを持つと共に入出力端を持つ第 3 プリセンス回路と、該第 3 プリセンス回路の出力が入力され少なくとも負荷回路と N チャンネルトランジスタを持つと共に入出力端を持つ第 4 プリセンス回路と、該第 2 プリセンス回路および第 3 プリセンス回路からの両出力を該センス増幅手段の両入力とした半導体記憶装置のメモリ読出回路。

【請求項 4】 前記基準電圧発生回路は、前記第 2 プリセンス回路の負荷回路を P チャンネルトランジスタで構成し、該 P チャンネルトランジスタのゲート電極とドレイン電極が、前記第 4 プリセンス回路の負荷回路の P チャンネルトランジスタのゲート電極に接続されて、該第 4 プリセンス回路の負荷特性を該第 2 プリセンス回路の負荷特性とする請求項 3 記載の半導体記憶装置のメモリ読出回路。

【請求項 5】 前記基準電圧発生回路は、前記第 4 プリセンス回路の出力と前記第 2 プリセンス回路の出力をトランジスタを介してある期間短絡し、前記第

4 プリセンス回路の出力と前記第 2 プリセンス回路の出力を短絡解除後同レベルからそれぞれの電位へ遷移出力する請求項 4 記載の半導体記憶装置のメモリ読出回路。

【請求項 6】 前記読み出しメモリセルと基準セルの電流－電圧変換を行うトランジスタ、抵抗またはその両方の負荷回路を、トランジスタ選択回路を介してメモリセルと基準セルの両ドレイン電極に直接接続した請求項 3 記載の半導体記憶装置のメモリ読出回路。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、電氣的書き換え可能な不揮発性メモリなどの半導体記憶装置に関し、半導体記憶装置に用いられ、基準セルからの基準電圧を利用して複数のメモリセルの情報を同時に読み出す複数のセンスアンプ回路用の基準電圧発生回路および、これを含むメモリ読出回路に関する。

【0 0 0 2】

【従来の技術】

従来、電氣的書き換え可能な不揮発性メモリとして例えば E E P R O M (Electrically Erasable and Programmable Read Only Memory) やフラッシュ E E P R O M (以下フラッシュメモリという) などで知られる半導体記憶装置がある。この半導体記憶装置は、メモリセルトランジスタ (以下メモリセルという) の情報を読み出すメモリ読出回路として、センスアンプ回路 (センス増幅器) およびその関連回路を有している。

【0 0 0 3】

以下、フラッシュメモリとして、コントロールゲート電極とフローティングゲート電極の 2 層多結晶シリコンを使用したスタックゲート電極を備えるメモリセルを例にセンスアンプ回路およびその関連回路の構成について説明する。

【0 0 0 4】

スタックゲート電極構造のメモリセルにおける情報の記憶原理として、フローティングゲート電極に電子が存在する状態と、電子が存在しない状態にすること

で実現する場合がある。

【0005】

ここでは、フローティングゲート電極に電子が存在する状態を作り出す動作を書き込み動作と称し、電子が存在しない状態を消去動作と称する。また、ここでは、書き込み動作と消去動作に関しての詳細な説明は省略する。

【0006】

書き込み動作によってつくられたフローティングゲート電極に電子が存在する状態のメモリセル（以下プログラムセルと称す）は、消去動作によってつくられるフローティングゲート電極に電子が存在しないメモリセル（以下イレースセルと称す）と比較して、コントロールゲート電極にある電圧を加え、ソース・ドレイン電極にあるバイアス電圧を加えた状態（この状態をメモリセルのデータ読み出し条件と称す）で流れる電流量は少ない。これは、コントロールゲート電極のある電圧が、フローティングゲート電極に電子が存在するかまたは電子が存在しないかで、メモリセルのチャネル領域に印加される電解強度が変化し、チャネル領域に流れる電流量が変化するためである。もちろん、フローティングゲート電極に存在する電子の数（電子が多い／電子が少ない）で、コントロールゲート電極にある電圧を加えた時の電解強度が変化し、それに応じて電流量も変化する。ここで説明するフローティングゲート電極に電子が存在するかまたは、電子が存在しないというのは相対的なものとする。

【0007】

上述した原理で、メモリセルのソース・ドレイン電極に流れる電流量が少ないか多いかで「0」データと「1」データとしてメモリセル内にデータを記憶したとしている。

【0008】

センスアンプ回路はこのメモリセルのデータ読み出し条件で流れる電流量が少ないか多いかを判別し、「0」データと「1」データを判別して出力する。電流量が少ないか多いかの判別例として、ある基準電流を準備し、その基準電流に対して電流が多いか少ないかを判別してデータを出力する方法もある。このような場合、基準電流をつくるため、メモリセルと同様な構成のトランジスタ（以下リ

ファレンスセルと称す)を用いる場合もある。この場合、メモリセル読み出しの温度特性や電圧特性などの影響も模倣される。

【 0 0 0 9 】

また、そのリファレンスセルの電流能力もプログラムセルとイレースセルの流す電流量の中間値の場合もあり、フローティングゲート電極内の電子数もプログラムセルとイレースセルのフローティングゲート電極内の電子数の間の電子数で調整される場合もある。

【 0 0 1 0 】

図 1 0 は従来のフラッシュメモリにおけるセンスアンプ回路の回路図である。図 1 0 において、センスアンプ回路 1 0 0 は、選択回路を含むメモリセル部 1 0 1 と、選択回路の選択トランジスタ 1 0 1 a を通じてメモリセル 1 0 1 b のドレイン電極側に接続されるフィードバック型の電流検知回路 1 0 2 と、基準電流発生回路として、選択回路を含む読み出しメモリセル 1 0 1 b と同様の構成のリファレンスセル部 1 0 3 と、選択回路の選択トランジスタ 1 0 3 a を通じてリファレンスセル 1 0 3 b (基準セル) のドレイン電極側に接続される、メモリセル 1 0 1 b 側と同様な構成のフィードバック型の電流検知回路 1 0 4 と、メモリセル 1 0 1 b 側から出力される電圧とリファレンスセル 1 0 3 b 側から出力される電圧を比較するコンパレータ回路 1 0 5 とを備えている。

【 0 0 1 1 】

この電流検知回路 1 0 2, 1 0 4 としては、コンパレータ回路 1 0 5 に出力する電圧を得るため、電流-電圧変換を行う負荷が用いられており、その例として、図 1 1 のトランジスタ負荷 1 0 2 a, 1 0 4 a や図 1 2 の抵抗負荷 1 0 2 b, 1 0 4 b などがある。

【 0 0 1 2 】

また、高速にメモリセル 1 0 1 b の読み出し動作を行うため、メモリセル 1 0 1 b とリファレンスセル 1 0 3 b の各ドレイン電極を読み出し条件のバイアス電圧にする充電回路 1 0 6, 1 0 7 を備える場合もある。

【 0 0 1 3 】

以下、従来例による読み出し動作について図 1 0 を用いて説明する。図 1 0 に

示すように、読み出し動作時に印加されるゲート電圧（以下、読み出しゲート電圧と称す）が、選択された読み出しメモリセル 1 0 1 b のコントロールゲート電極に印加され、同時に、図 1 1 の負荷回路 1 0 2 a、図 1 2 の負荷回路 1 0 2 b などの図 1 0 の充電回路 1 0 6 により、読み出し動作時に印加されるドレイン電圧（以下読み出しドレイン電圧と称す）が、選択トランジスタ 1 0 1 a により選択された読み出しメモリセル 1 0 1 b のドレイン電極に印加される。

【 0 0 1 4 】

充電回路 1 0 6、1 0 7 はメモリセル 1 0 1 b やリファレンスセル 1 0 3 b のドレイン電極が、読み出しドレイン電圧になるまで動作し、読み出しドレイン電圧到達後はその動作を止める。選択された読み出しメモリセル 1 0 1 b のソース電極はトランジスタなどを介して接地され、選択された読み出しメモリセル 1 0 1 b のドレイン電極－ソース電極間で電流が流れる（以下この電流を読み出し電流と称す）。

【 0 0 1 5 】

この読み出し電流は、電流検知回路 1 0 2 の負荷により電圧に変換され、コンパレータ回路 1 0 5 へ的一方の入力電圧となる。この電圧を以下読み出し電圧と称す。

【 0 0 1 6 】

この動作は、リファレンスセル 1 0 3 b でも同様に行われ、リファレンスセル 1 0 3 b のドレイン電極－ソース電極間で基準電流が流れ、電流検知回路 1 0 4 の負荷により電圧に変換され、コンパレータ回路 1 0 5 の他方の入力電圧となる。なお、リファレンスセル 1 0 3 b の基準電流から作られる電圧を、以下、基準電圧と称する。

【 0 0 1 7 】

今、フローティングゲート電極に電子がある選択メモリセル 1 0 1 b、つまりプログラムセルを読み出す場合、読み出し電流は基準電流より小さい。この読み出し電流は、フィードバック型の電流検知回路 1 0 2 の負荷により電圧変換され、その読み出し電圧はリファレンスセル 1 0 3 b より生成される基準電圧より高い。これら読み出し電圧と基準電圧の電圧差はフィードバック型の電流検知回路

102, 104の各負荷をそれぞれ通ることで、フィードバック型の電流検知回路102, 104の各負荷がない場合と比較して、より大きな電圧差として増幅される。

【0018】

この電圧差をコンパレータ回路105で比較して判定し、その判定結果をメモリ情報読取結果として、「L」レベルの電位または「H」レベルの電位で出力する。

【0019】

フローティングゲート電極に電子がない選択メモリセル101b、つまりイレースセルの場合には、読み出し電圧は基準電圧より低い。この時のコンパレータ回路105による判定出力は、フローティングゲート電極に電子がある選択メモリセル101bを読み出す場合の出力と反転された電位で出力される。

【0020】

理想的には、図10のセンスアンプ回路はメモリセル101bの1セル（1ビット）読み出し毎に必要であるが、高機能化のため、多セル（多ビット）読み出しが必要な場合がある。この場合、チップ面積削減の目的で、図13のように、リファレンスセル103bと基準電流用の電流検知回路104の負荷を別の読み出しセル（各ビット）で共通とし、基準電流用の電流検知回路104の出力である基準電圧を各ビットのコンパレータ回路105に共通入力とするセンスアンプ回路も存在する。

【0021】

【発明が解決しようとする課題】

コンパレータ回路105の一具体例として、図14のような差動増幅器を考える。読み出し電圧と基準電圧が、図14の差動増幅器のトランジスタA, Bのゲート電極にそれぞれ入力される。この状態で、差動増幅器を動作させると、読み出し電圧と、基準電圧がゲート電極に入力されているトランジスタA, Bにそれぞれのゲート電圧に見合った電流が、トランジスタA, Bの各ドレイン電極－ソース電極間にそれぞれ流れる。

【0022】

このドレイン電極とソース電極間に流れる電流は、一般的に知られるゲート電極と、ソース電極・ドレイン電極・チャネル間にあるゲート酸化膜がコンデンサとして働くカップリング効果で、入力されているゲート電圧にも影響を与える。

【 0 0 2 3 】

この影響は、基準電圧が読み出し電圧に対して、一つの差動増幅器にのみ入力されるのであれば、このカップリング効果の影響は微小であり、読み出し動作に対して影響は少ない。

【 0 0 2 4 】

ところが、前述したように、基準電圧を幾つかの差動増幅器に共通入力した場合、基準電圧のカップリングによる影響は共通入力した数に比例して増加する。この結果、読み出し電圧のカップリングによる影響と基準電圧のカップリングによる影響の差が大きくなり、読み出し動作に影響を与える場合もある。

【 0 0 2 5 】

差動増幅器を間欠動作させない場合、このカップリングによる影響はいずれなくなり、仮にカップリング影響中は誤った読み出し動作を行ってもいずれ正しい読み出し動作に戻る。

【 0 0 2 6 】

しかし、カップリング影響中は誤った読み出しを行った場合、メモリセルの読み出し速度という観点からは、カップリングの影響がない場合と比較すると遅い。また、動作電流低減のため、ある一定期間のみ差動増幅器を動作させ、その期間内に選択したメモリセルの読み出し動作を行い、差動増幅器から出力したデータをラッチ回路などに接続・保持した後、差動増幅器の動作を止めて読み出しデータをメモリセル読み出し回路外部に出力する場合、「ある一定期間」内に正しい読み出し動作を行う必要がある。

【 0 0 2 7 】

カップリングの影響が大きい場合、この「ある一定期間」が長くなり、その結果、読み出し速度の高速化が困難なものとなる。読み出し時間に影響がないようにする、つまり、読み出し動作に影響を与えないようにするには、このカップリングによる影響以上の電位差が基準電圧と読み出し電圧にあれば良い。しかしな

がら、近年の微細化によるメモリセル電流の減少などにより、読み出し電流と基準電流の差を多くすることが困難になってきている。

【 0 0 2 8 】

メモリセル自体のソース・ドレイン電極の電圧差を大きくして、メモリセルに流れる電流量を多くすることも考えられるが、実際は、一度書き込み動作によりつくり出したフローティングゲート電極に電子が存在する状態を読み出し動作により破壊しないようにするため、読み出しドレイン電圧をあまり高くすることができない。

【 0 0 2 9 】

これらの結果、読み出し電圧と基準電圧差も少なくなり、カップリングによる影響が生じない電圧差を確保することが困難になってきている。

【 0 0 3 0 】

コンパレータ回路 1 0 5 の他の一例として、特開平 1 1 - 3 0 6 7 8 2 号公報に示されるようなセンスアンプを使用した場合でも、同様にカップリングによる影響は無視できない。

【 0 0 3 1 】

上述したような問題を解決するため、チップ面積を増加させず、複数のセンスアンプ用の基準電流／基準電圧生成を行い、複数のセンスアンプを同時動作させる方法として、特開 2 0 0 0 - 3 0 4 7 5 号公報「半導体メモリ装置」が提案されており、これを図 1 5 のブロック図に示している。

【 0 0 3 2 】

特開 2 0 0 0 - 3 0 4 7 5 号公報「半導体メモリ装置」によると、上述しているリファレンスセルを含む付随回路に相当する基準セルブロックと、電流ミラー回路とから構成されている。少なくとも一つの基準セルブロックから、基準セルブロックと同様の特性を持つ電流源を電流ミラー回路から生成し、複数あるセンスアンプ回路にそれぞれ基準電流として供給している（図 1 6 参照）。

【 0 0 3 3 】

このような構成によると、上述したようなカップリングによる影響は回避できる。ところが、一つの基準セルブロックから多くの基準電流を生成する場合、例

例えば、16個の基準電流を生成する場合、図16のノードAに接続されるゲート容量が16個存在するとすると、このゲート容量があまりに多いと、基準電流の電流特性が、一つの基準セルブロックから生成された場合の基準電流の電流特性と時間的にずれてくるとい問題が潜在的に存在する。

【0034】

つまり、このノードAに接続されるゲート容量が多くなると、ノードAが最終的な所望の電位まで充電される時間が必要であり、ノードAが最終的な所望の電位まで充電されていない期間というのは、コピーされた基準電流が、最終的な所望の基準電流源と異なるということである。時間的に基準電流の電流特性が、一つの基準セルブロックから生成された場合の基準電流とずれてくると、メモリセル情報を高速に読み出すことを妨げる要因になる。

【0035】

また、この特開2000-30475公報の基準電圧発生回路自体には、増幅効果がなく、メモリセルの電流が少なくなった場合、センスアンプの感度が悪くなり、メモリセル情報を高速に読み出すことが困難になる場合もある。

【0036】

本発明は、上記事情に鑑みて為されたもので、一つのリファレンスセルより複数のセンスアンプ動作をさせる際に、時間的にずれの少ない複数の基準電圧を生成して、カップリングの影響を少なくし、複数のコンパレータ回路を同時動作させることができる半導体記憶装置の基準電圧発生回路及びメモリ読出回路を提供することを目的とする。

【0037】

【課題を解決する為の手段】

本発明の半導体記憶装置の基準電圧発生回路は、ソースおよびドレイン電極を持つ少なくとも一つの基準セルと、基準セルに接続され少なくともNチャンネルトランジスタとPチャンネルトランジスタを持つと共に複数の入出力端を持つ複数の第1プリセンス回路と、第1プリセンス回路の出力が入力され少なくとも負荷回路とNチャンネルトランジスタを持つと共に複数の入出力端を持つ複数の第2プリセンス回路とを備えたものであり、そのことにより上記目的が達成される

【 0 0 3 8 】

また、好ましくは、本発明の半導体記憶装置の基準電圧発生回路における第 1 プリセンス回路は、基準セルからの電圧に基づいて第 1 複製電圧を生成し、第 2 プリセンス回路は第 1 複製電圧に基づいて第 2 複製電圧を生成する。

【 0 0 3 9 】

また、本発明の半導体記憶装置のメモリ読出回路は、センス増幅手段の両入力端の一方に基準電圧を供給すると共に、その他方に選択メモリセルからの電圧を供給することによりメモリ情報を読み出す半導体記憶装置のメモリ読出回路において、請求項 1 または 2 記載の基準電圧発生回路と、読み出しメモリセル側に接続され少なくとも N チャンネルトランジスタと P チャンネルトランジスタを持つと共に入出力端を持つ第 3 プリセンス回路と、第 3 プリセンス回路の出力が入力され少なくとも負荷回路と N チャンネルトランジスタを持つと共に入出力端を持つ第 4 プリセンス回路と、第 2 プリセンス回路および第 3 プリセンス回路からの両出力をセンス増幅手段の両入力とするものであり、そのことにより上記目的が達成される。

【 0 0 4 0 】

さらに、好ましくは、本発明の半導体記憶装置のメモリ読出回路における基準電圧発生回路は、第 2 プリセンス回路の負荷回路を P チャンネルトランジスタで構成し、P チャンネルトランジスタのゲート電極とドレイン電極が、第 4 プリセンス回路の負荷回路の P チャンネルトランジスタのゲート電極に接続されて、第 4 プリセンス回路の負荷特性を第 2 プリセンス回路の負荷特性とする。

【 0 0 4 1 】

さらに、好ましくは、本発明の半導体記憶装置のメモリ読出回路における基準電圧発生回路は、第 4 プリセンス回路の出力と第 2 プリセンス回路の出力をトランジスタを介してある期間短絡し、第 4 プリセンス回路の出力と第 2 プリセンス回路の出力を短絡解除後、同レベルからそれぞれの電位へ遷移出力する。

【 0 0 4 2 】

さらに、好ましくは、本発明の半導体記憶装置のメモリ読出回路において、読

み出しメモリセルと基準セルの電流－電圧変換を行うトランジスタ、抵抗またはその両方の負荷回路を、トランジスタ選択回路を介してメモリセルと基準セルの両ドレイン電極に直接接続する。

【 0 0 4 3 】

上記構成により、本発明の作用を説明する。本発明によれば、少なくとも一つのリファレンスセルより、時間的にずれの少ない複数の基準電圧を生成して、カップリングの影響を少なくし、複数のセンス増幅手段（以下、例えばコンパレータ回路という）を同時動作させることが可能となる。また、本発明は、基準電圧生成時に、コンパレータ回路に入力する電圧差を広げる増幅効果も合わせて持っている。以下、さらに詳細に説明する。

【 0 0 4 4 】

基準電圧発生回路として、読み出しメモリセルと同様な構造の基準セルのトランジスタを介したドレイン電極と、このドレイン電極に接続された、読み出しメモリセルと同じ負荷回路によって出力されたりファレンス出力線を複数の図 1 のノード 2 に接続し、第 1 プリセンス回路を介して電流・電圧特性が同じ複数の図 1 のノード 4 の電圧出力を得る。

【 0 0 4 5 】

複数の図 1 のノード 4 を第 2 プリセンス回路を介して更に複数の図 1 のノード 6 にそれぞれ接続する。この結果、電流・電圧特性が同じ複数の図 1 のノード 6 の電圧出力が得られ、それぞれを複数のコンパレータ回路の入力に接続する。つまり、ビット線出力線とリファレンス出力線とコンパレータ回路の間に、図 3 および図 4 の第 1 および第 2 プリセンス回路を挟み込むことで、ビット線出力線電圧とリファレンス線出力電圧とをある電圧に変換し、同時に、リファレンス線出力線を元にしたある変換電圧を複数作成する。その結果、一つのリファレンスセルからコンパレータ回路に入力される複数の基準電圧を生成することが可能となり、従来のようにコンパレータ回路に入力される基準電圧を共通入力することなく、複数のコンパレータ回路の同時動作を実現している。

【 0 0 4 6 】

また、このコンパレータ回路に入力されるビット出力線電圧から図 3 および図

4 の第 3 プリセンス回路および第 4 プリセンス回路を経てコンパレータ回路の入力端に入力される電圧（以下この電圧をコンパレータ入力ビット線電圧と称す）と、リファレンス出力線電圧から図 3 および図 4 の第 1 プリセンス回路および第 2 プリセンス回路を経てコンパレータ回路に入力される電圧（以下この電圧をコンパレータ入力リファレンス線電圧と称す）の電圧差は、ビット線出力電圧とリファレンス線出力電圧の電圧差よりも大きく取ることが可能となる。

【 0 0 4 7 】

その原理は、ビット線出力電圧とリファレンス線出力電圧の電圧上限が存在するが、この電圧上限は、上述しているが、一度書き込み動作によりつくり出したフローティングゲート電極に電子が存在する状態を、読み出し動作により、破壊しないようにするため、読み出しドレイン電圧をあまり高くすることができないために存在する。しかし、コンパレータ入力ビット線電圧と、コンパレータ入力リファレンス線電圧は、このような制限が存在しない。したがって、図 3 の第 1 プリセンス回路（または第 3 プリセンス回路）と図 4 の第 2 プリセンス回路（または第 4 プリセンス回路）との組み合わせで、コンパレータ回路に入力される電圧差を大きく取ることが可能となる。

【 0 0 4 8 】

【発明の実施の形態】

以下、本発明の実施形態の半導体記憶装置のメモリ読出回路について図面を参照しながら説明する。

【 0 0 4 9 】

図 1 は、本発明の一実施形態の半導体記憶装置におけるメモリ読出回路の要部構成を示すブロック図である。

【 0 0 5 0 】

図 1 において、半導体記憶装置のメモリ読出回路 1 1 は、基準電圧を供給する基準電圧発生回路 1 2 と、読み出しメモリセル 1 3 側に接続される入力端子および出力端子を持つ第 3 プリセンス回路としてのプリセンス回路 A と、このプリセンス回路 A からの出力が入力される入力端子および出力端子を持つ第 4 プリセンス回路としてのプリセンス回路 B と、これらのプリセンス回路 A、B からの両出

力を両入力としてメモリ情報の読み出し判定を行うセンス増幅手段としてのコンパレータ回路 1 4 とを有している。

【 0 0 5 1 】

基準電圧発生回路 1 2 は、ソースおよびドレイン電極を持つ一つの基準セルのリファレンスセル 2 1 と、リファレンスセル 2 1 に接続される入力端子および出力端子を持つ複数の第 1 プリセンス回路としてのプリセンス回路 A と、このプリセンス回路 A からの出力が入力される入力端子および出力端子を持つ複数の第 2 プリセンス回路としてのプリセンス回路 B とを有している。

【 0 0 5 2 】

リファレンスセル 2 1 は、そのソース電極やコントロールゲート電極の電圧なども読み出しメモリセル 1 3 側と等価になるような構成とし、リファレンスセル 2 1 のドレイン電極には、読み出しメモリセル 1 3 のドレイン電極に接続される選択トランジスタと等価の能力になるようなトランジスタを経由して出力ノード 2（以下リファレンス出力線と称す）が接続されている。このリファレンス出力線は、リファレンスセル 2 1 側の負荷回路、充電回路および複数のプリセンス回路 A に接続されている。なお、リファレンスセル 2 1 の電流能力は、読み出しメモリセル 1 3 と同様の読み出しバイアス条件でプログラムセルとイレースセルの流す電流の間の大きさの電流能力とする。

【 0 0 5 3 】

読み出しメモリセル 1 3 は、そのソース電極がトランジスタなどを介して接地されており、そのコントロールゲート電極には、ワード線などで一般的に知られるアドレス信号をデコードした信号が入力され、そのドレイン電極には、アドレス信号をデコードした信号により選択される選択トランジスタなどを経由して出力ノード 1（以下ビット出力線と称す）が接続されている。ビット出力線は、読み出しメモリセル 1 3 の負荷回路、充電回路およびプリセンス回路 A に接続されている。なお、ここでは、メモリアレイから読み出すべきメモリセルの選択方法の説明およびその詳細回路は省略する。

【 0 0 5 4 】

読み出しメモリセル 1 3 側のプリセンス回路 A は、読み出しメモリセル 1 3 側

のプリセンス回路 B に一対一で接続されている。

【 0 0 5 5 】

リファレンスセル 2 1 側において複数あるうちの一つのプリセンス回路 A は、リファレンスセル 2 1 側の複数のプリセンス回路 B に接続されている。

【 0 0 5 6 】

コンパレータ回路 1 4 は、読み出しメモリセル 1 3 側のプリセンス回路 B と、リファレンスセル 2 1 側のプリセンス回路 B の各出力が入力されて、その出力が読み出しメモリセル 1 3 の読み出しメモリ情報となる。リファレンスセル 2 1 側のプリセンス回路 B の出力は複数あるので、他の読み出しメモリセル 1 3 側のプリセンス回路 B の出力とそれぞれ対応するコンパレータ回路 1 4 に入力され、それぞれ読み出しメモリセル 1 3 の読み出しメモリ情報を出力するようになっている。なお、充電回路、コンパレータ回路 1 4 には A T D 回路（アドレス遷移検知回路）などで知られる回路から生成された信号を元にした信号を入力し、その動作期間などの制御を行ってもよい。

【 0 0 5 7 】

ここで、図 1 の要部信号電圧のタイミングについて図 2 を用いて説明する。図 2 に示すように、メモリセル 1 3 のデータ読み出しは、充電期間と、ビット線ドライブ期間と、コンパレータ回路動作期間との 3 つの期間から構成されている。

【 0 0 5 8 】

まず、充電期間では、図 1 の出力ノード 1，2 は充電回路により、読み出しメモリセル 1 3 とリファレンスセル 2 1 の両ドレイン電極が読み出しドレイン電圧になるまで充電される。

【 0 0 5 9 】

次に、ビット線ドライブ期間について説明する。図 1 の出力ノード 1，2 に対する充電回路による充電期間の動作が終了すると、ビット線ドライブ期間になり、読み出しメモリセル 1 3 側とリファレンスセル 2 1 側のそれぞれの図 1 の負荷回路特性と、読み出しメモリセル 1 3 とリファレンスセル 2 1 の電流特性により、出力ノード 1，2 の信号電圧は、図 2 のビット線ドライブ期間の出力ノード 1，2 で示される電圧波形となる。

【 0 0 6 0 】

図 2 の場合は、リファレンスセル 2 1 の電流特性と負荷回路の電流特性が同じ場合、充電期間完了後も変化しない例を示している。そのような負荷回路の電流特性の場合、プログラムセルの場合には、出力ノード 1 の電圧が出力ノード 2 の電圧よりも「H」レベル側に変化していき、イレースセルの場合には、出力ノード 1 の電圧がノード 2 の電圧よりも「L」レベル側に変化していく。出力ノード 1、出力ノード 2 共に、負荷回路との安定電圧になるまで、メモリアレイに存在する負荷容量や抵抗により緩やかに変化する。

【 0 0 6 1 】

以下、ビット出力線、リファレンス出力線とプリセンス回路 A、B の具体的構成について説明する。

【 0 0 6 2 】

図 3 は図 1 のプリセンス回路 A の回路図、図 4 は図 1 のプリセンス回路 B の回路図である。

【 0 0 6 3 】

本発明のメモリ読出回路（センスアンプ回路およびその関連回路）は、読み出しメモリセル 1 3 の選択トランジスタを介したドレイン電極と、このドレイン電極に接続された負荷回路によって電圧出力されたビット出力線を、図 3 で示されるプリセンス回路 A の出力ノード 1 に接続し、図 3 のノード 3 を図 4 のプリセンス回路 B のノード 3 に接続し、図 4 のノード 5 をコンパレータ回路 1 4 の入力に接続する。

【 0 0 6 4 】

ノード 1（ビット出力線）は、読み出しメモリセル 1 3 側のプリセンス回路 A に入力されると上述したが、このビット出力線は読み出しメモリセル 1 3 側のプリセンス回路 A 内に存在するトランジスタ A 1 のゲート電極に入力される。一方、ノード 2（リファレンス出力線）は、リファレンスセル 2 1 側の複数のプリセンス回路 A に共通入力すると上述したが、このリファレンス出力線はリファレンスセル 2 1 側のプリセンス回路 A 内に存在するトランジスタ A 1 のゲート電極に入力し、それぞれ接続されるリファレンスセル 2 1 側のプリセンス回路 A のノード

ド 4 の特性に影響がでない程度に共通入力する。

【 0 0 6 5 】

ここで、特性に影響がでない程度というのは、これ以降記述するコンパレータ動作の読み出し動作が遅くなるような動作をしないという意味である。同じ回路に同じゲート電極電圧が入力されるので、リファレンスセル 2 1 側の複数のプリセンス回路 A の出力（ノード 4）は時間的な電圧変化がすべて同じ特性の出力となる。

【 0 0 6 6 】

次に、ノード 3 の電圧は、読み出しメモリセル 1 3 側のプリセンス回路 B 内に存在するトランジスタ B 1 のゲート電極に入力され、その出力であるノード 5 は、コンパレータ回路 1 4 に入力される。同様に、複数のノード 4 は複数のリファレンスセル 2 1 側のプリセンス回路 B 内に存在するトランジスタ B 1 のゲート電極に共通入力され、複数のプリセンス回路 B の電圧出力（ノード 6 への出力電圧）を得る。

【 0 0 6 7 】

この複数のリファレンスセル 2 1 側のプリセンス回路 B の共通入力も、リファレンス 1 2 側のプリセンス回路 A の場合と同様に、リファレンスセル 2 1 側のプリセンス回路 B の出力ノード（ノード 6）の特性に影響がでない程度に共通入力する。

【 0 0 6 8 】

この結果、プリセンス回路 B の出力（ノード 6）は、時間的な電圧変化特性がすべて同じノードとなり、それぞれ読み出しメモリセルが異なるコンパレータ回路 1 4 に入力される。このコンパレータ回路 1 4 に入力されるリファレンスセル 2 1 側のプリセンス回路 B の出力も、カップリングなどの影響が無視できるほど小さい。つまり、コンパレータ回路 1 4 の動作に影響が出ない程度の場合、複数のコンパレータ回路 1 4 に対して共通入力してもよい。

【 0 0 6 9 】

次に、図 2 に示されるコンパレータ動作期間について説明する。コンパレータ動作期間においてコンパレータ回路 1 4 が動作し、コンパレータ回路 1 4 はノード

ド6への出力電圧を基準電圧として、ノード5への出力電圧が基準電圧よりも電圧が高いか、低いかを検知する。最終的に、コンパレータ回路14の出力として、メモリセル13の読み出しメモリ情報が得られる。なお、図2に示されるコンパレータ動作期間は、動作期間を決めてコンパレータ回路14を動作させているが、常時、動作させてもよいし、また、ビット線ドライブ期間の初めから動作させてもよい。

【0070】

次に、プリセンス回路A、B、コンパレータ回路14の更なる具体例について説明する。

【0071】

図5にプリセンス回路Bの負荷例と、コンパレータ回路14のリファレンスセル21側と読み出しメモリセル13側とのプリセンス回路の接続方法、コンパレータ回路14の一例を示している。なお、コンパレータ回路14の具体例としては、特開平11-306782号公報で示される回路を変形した回路で示している。

【0072】

また、図5はリファレンスセル21側のプリセンス回路Bに対して、コンパレータ回路14を2ビット分、即ち、読み出しメモリセル13が2個分接続した例を示している。図5の回路には、図1で示した複数のリファレンスセル21側のプリセンス回路への詳細な接続は省略する。ノード1にビット出力線を接続し、ノード2にリファレンス出力線を接続する。図5のビット出力線には、異なる読み出しメモリセルの異なるビット出力線を(1)、(2)と区別して示している。

【0073】

ビット出力線、リファレンス出力線共に、上述したように、読み出しドレイン電圧をあまり高くすることができないため、上限の電圧が決まっている。例えば、その電圧を1Vとする。図5において、回路の電源電圧を3Vとすると、トランジスタの特性によっては、トランジスタ1のようなトランジスタを準備し、図5のプリセンス回路A内にあるトランジスタ2のソース電圧を下げる。これは、

ビット出力線とリファレンス出力線の上限電圧が決まっている中で、トランジスタ 2 (P チャンネル (P c h) トランジスタ) を五極管領域で動作させるためである。図 5 のプリセンス回路 A 内にあるトランジスタ 3 (N チャンネル (N c h) トランジスタ) もトランジスタ 2 (P c h トランジスタ) が五極管領域で動作するような能力にする。

【 0 0 7 4 】

図 6 に図 5 のプリセンス回路 A の部分の電圧・電流特性カーブ例を示す。図 5 のプリセンス回路 A の出力電圧は、図 6 のそれぞれのトランジスタ 2 とトランジスタ 3 の電圧・電流特性カーブの交点の電圧となる。また、トランジスタ 2 が五極管領域で動作すれば、例えば、電源電圧自体が 2 V などになる場合なども含めて、トランジスタ 1 は省略することが可能である。

【 0 0 7 5 】

また、図 5 の回路では、リファレンスセル 2 1 側のプリセンス回路 B の負荷回路例として、P c h トランジスタを利用している。この P c h トランジスタからなる負荷回路は、リファレンスセル 2 1 側のプリセンス回路 B の負荷回路特性を、読み出しメモリセル 1 3 側の負荷回路とするため、図 5 のノード 3 のような接続を行う。このような接続を行うことで、コンパレータ入力ビット線電圧と、コンパレータ入力リファレンス線電圧との電圧差が、図 5 の電源電圧がチップ外部の都合で、ある程度変化した場合でも、負荷回路の動作点が追従する。

【 0 0 7 6 】

しかし、図 5 のノード 3 のような接続は、図 5 のプリセンス回路のノード 4 とノード 5 の容量バランスが異なり、プリセンス回路の安定動作を妨げる。そこで、図 5 のトランジスタ 4 を追加することで、コンパレータ回路に入力される電圧の初期値が、リファレンスセル 2 1 側と読み出しセル 1 3 側で同じになり、コンパレータ回路 1 4 の動作の高速動作が可能となる。

【 0 0 7 7 】

この図 5 のトランジスタ 4 が動作することを、ここでは、コンパレータ回路 1 4 への入力電圧のイコライズ動作と称す。コンパレータ回路 1 4 への入力電圧のイコライズ動作の動作タイミングは、図 2 にあるイコライズ動作タイミングの項

にあるタイミングとする。また、このイコライズ動作タイミングは、図 2 の充電タイミングと同じタイミングにしてもよい。

【 0 0 7 8 】

図 6 に示されるプリセンス回路 A の部分の電圧・電流特性は、図 5 のプリセンス回路 B により図 7 に示されるプリセンス回路 B の部分の電圧・電流特性を得て、コンパレータ入力電圧を得る。

【 0 0 7 9 】

図 7 には、図 5 のトランジスタ 5、トランジスタ 6、トランジスタ 7 の電圧・電流特性カーブ例を示している。コンパレータ入力電圧は、リファレンス 1 2 側はトランジスタ 5 とトランジスタ 7 の電圧・電流特性の交点、メモリセル 1 3 側はトランジスタ 6 とトランジスタ 7 の電圧・電流特性の交点の電圧となる。

【 0 0 8 0 】

図 7 に示される電圧・電流特性にあるように、図 5 のプリセンス回路 B の負荷回路特性により、コンパレータ入力電圧特性が決定される。図 5 のプリセンス回路 B の N c h トランジスタ 7 は面積縮小・動作電流低減のため、図 5 のプリセンス回路 A の N c h トランジスタ 3 と、特に同じサイズ・同じ能力のトランジスタでなくてもよいし、プリセンス回路 B の P c h トランジスタ 5 もプリセンス回路 A の P c h トランジスタ 2 と、特に同じサイズ・同じ能力のトランジスタでなくてもよい。

【 0 0 8 1 】

以上のように、本実施形態によれば、一つのリファレンスメモリセル 2 1 と、このリファレンスメモリセル 2 1 に接続される入力端子および出力端子を持つ複数のプリセンス回路 A と、このプリセンス回路 A の出力が入力される複数の入力端子および出力端子を持つプリセンス回路 B と、読み出しメモリセル 1 3 側に接続される入出力端を持つプリセンス回路 A と、このプリセンス回路 A の出力が入力される入出力端を持つプリセンス回路 B と、リファレンスメモリセル 2 1 側のプリセンス回路 B とメモリセル 1 3 側のプリセンス回路 B からの両出力をコンパレータ回路の両入力としている。このため、少数のリファレンスセル 2 1 から複数のコンパレータ回路 1 4 を動作させるために、複数の基準電圧を生成可能なこ

とより、チップ全体として面積削減が可能である。また、少数のリファレンスセル 2 1 しかチップ全体として必要としないため、このリファレンスセル 2 1 を所望の状態にする工程も多数のリファレンスセル 2 1 を備えるチップより短い。また、本発明のプリセンス回路 A, B を備えることにより、従来型の電流検知回路が不要となり、メモリセル 1 3 の選択トランジスタを通じたドレイン電極に直接負荷回路を接続することが可能になる。本発明の回路構成によりコンパレータ回路 1 4 に入力される電圧差が大きくなり、その結果、コンパレータ回路 1 4 の高速動作が可能、つまり、チップ全体のメモリセル 1 3 の読み出しアクセスタイムが高速化する。

【 0 0 8 2 】

なお、上述したプリセンス回路 B の負荷回路構成は、図 8 のように、別途、リファレンスセルなどのメモリセルを使用したバイアス回路発生回路を構成して、負荷回路を構成してもよいし、図 5 の回路の電源電圧が、定電圧回路などにより、電源電圧が振れない場合や、コンパレータ回路 1 4 にとって、十分な入力電圧差が確保できるのであれば、図 9 のように同じ能力の P c h トランジスタを負荷としてもよいし、抵抗と N c h トランジスタで構成していてもよい。

【 0 0 8 3 】

図 5 のノード 4 (コンパレータ入力ビット線) とノード 5 (コンパレータ入力リファレンス線) は、図 5 に示されるコンパレータ回路 1 4 に接続され、その動作タイミング例としては、図 2 に示されるコンパレータ回路の動作タイミングで動作してもよい。図 5 のノード 4 とノード 5 の電圧の振る舞いを図 2 のコンパレータ入力電圧項に示している。

【 0 0 8 4 】

これらコンパレータ回路 1 4 は、特に、図 5 で示される回路でなくてもよく、一般的に知られる差動増幅器でもよい。また、ビット出力線を得るためのメモリセルを含めた回路の部分も、従来例で示されるフィードバック型の電流検知回路を備えてもよい。

【 0 0 8 5 】

本発明を上記実施形態に関連して説明したが、この説明は限定する意味で述べ

るものではない。この説明を参照することで、上記実施形態の数々の変形例と共に、本発明の他の実施形態が存在することは明らかである。本発明はそれら数々の変形形態やその変形例も包括しているものである。

【 0 0 8 6 】

なお、基準電圧発生回路 1 2 としては、メモリセル 1 3 側のプリセンス回路 B の出力と、リファレンスメモリセル 2 1 側のプリセンス回路 B の出力とをトランジスタを介してある期間短絡し、メモリセル 1 3 側のプリセンス回路 B の出力と、リファレンスメモリセル 2 1 側のプリセンス回路 B の出力とを短絡解除後に同レベルからそれぞれの電位に遷移出力させることができる。

【 0 0 8 7 】

【発明の効果】

以上のように、本発明によれば、少なくとも一つのリファレンスセルより、時間的にずれの少ない複数の基準電圧を生成できて、カップリングの影響を少なくでき、複数のセンス増幅手段を同時動作させることができる。また、本発明は、基準電圧生成時に、センス増幅手段に入力する電圧差を広げる増幅効果も合わせて持っている。

【図面の簡単な説明】

【図 1】

本発明の一実施形態の半導体記憶装置におけるメモリ読出回路の要部構成を示すブロック図である。

【図 2】

図 1 のメモリ読出回路の読み出し動作タイミングとノード電圧を示す図である。

【図 3】

図 1 のプリセンス回路 A を示す回路図である。

【図 4】

図 1 のプリセンス回路 B を示す回路図である。

【図 5】

本発明のビット出力線、リファレンス出力線とプリセンス回路とコンパレータ

一回路などの詳細な具体例を示す回路図である。

【図 6】

本発明のプリセンス回路 A の電圧・電流特性を示す図である。

【図 7】

本発明のプリセンス回路 B の電圧・電流特性を示す図である。

【図 8】

本発明のプリセンス回路 B の別の実施例を示す回路図である。

【図 9】

本発明のプリセンス回路 B の更に別の実施例を示す回路図である。

【図 1 0】

従来のフラッシュメモリにおけるセンスアンプ回路およびその関連回路の回路図である。

【図 1 1】

図 1 0 のセンスアンプ回路に使用する負荷回路の一例を示す回路図である。

【図 1 2】

図 1 0 のセンスアンプ回路に使用する負荷回路の他の一例を示す回路図である。

【図 1 3】

図 1 0 のセンスアンプ回路における複数のコンパレータ回路の接続例を示す回路図である。

【図 1 4】

図 1 0 のセンスアンプ回路のコンパレータ回路例を示す回路図である。

【図 1 5】

従来の他の基準電圧発生回路とセンスアンプ回路例を示すブロック図である。

【図 1 6】

図 1 5 の基準電圧発生回路とセンスアンプ回路の一接続例を示すブロック図である。

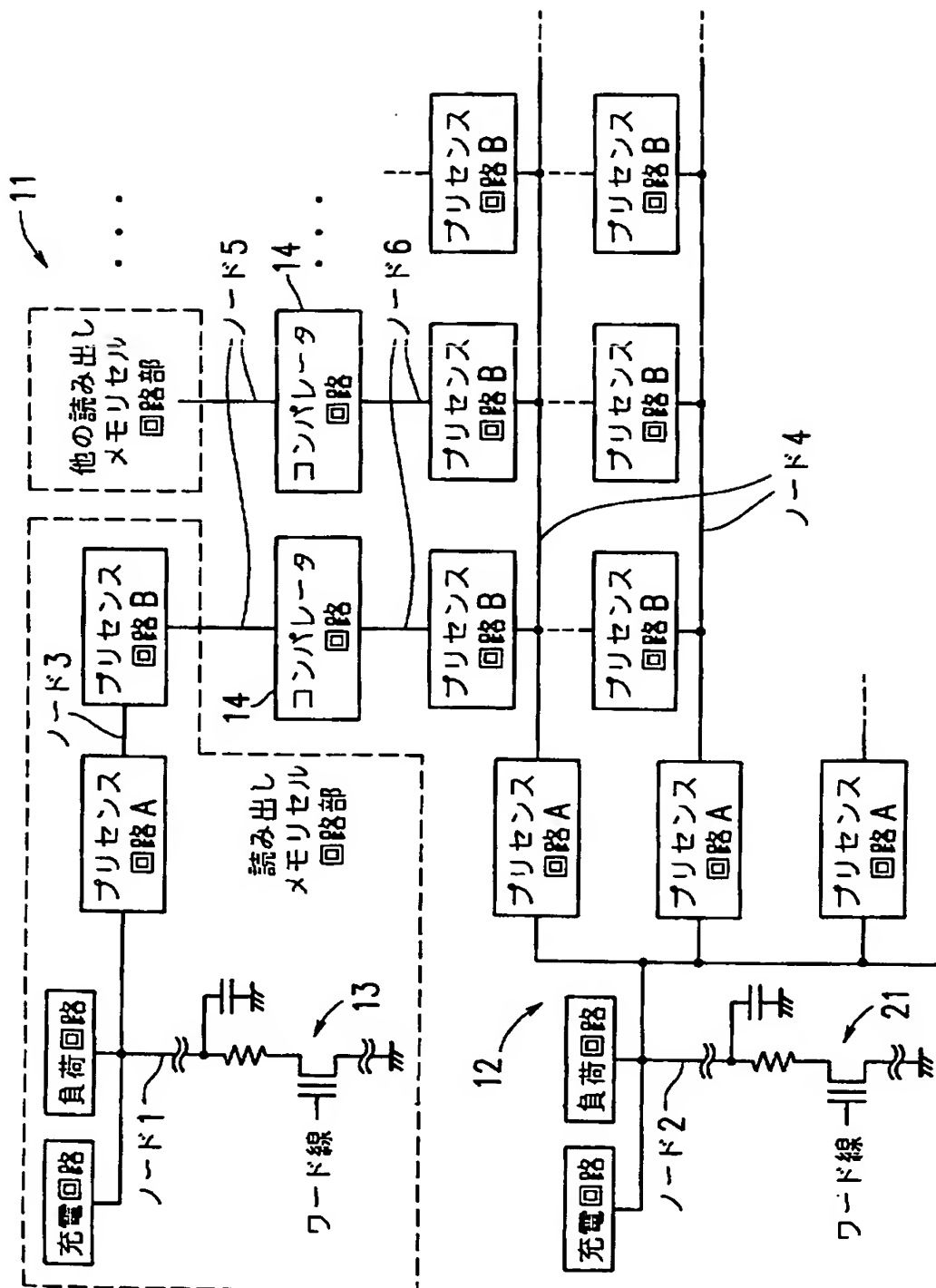
【符号の説明】

1 ～ 7 トランジスタ

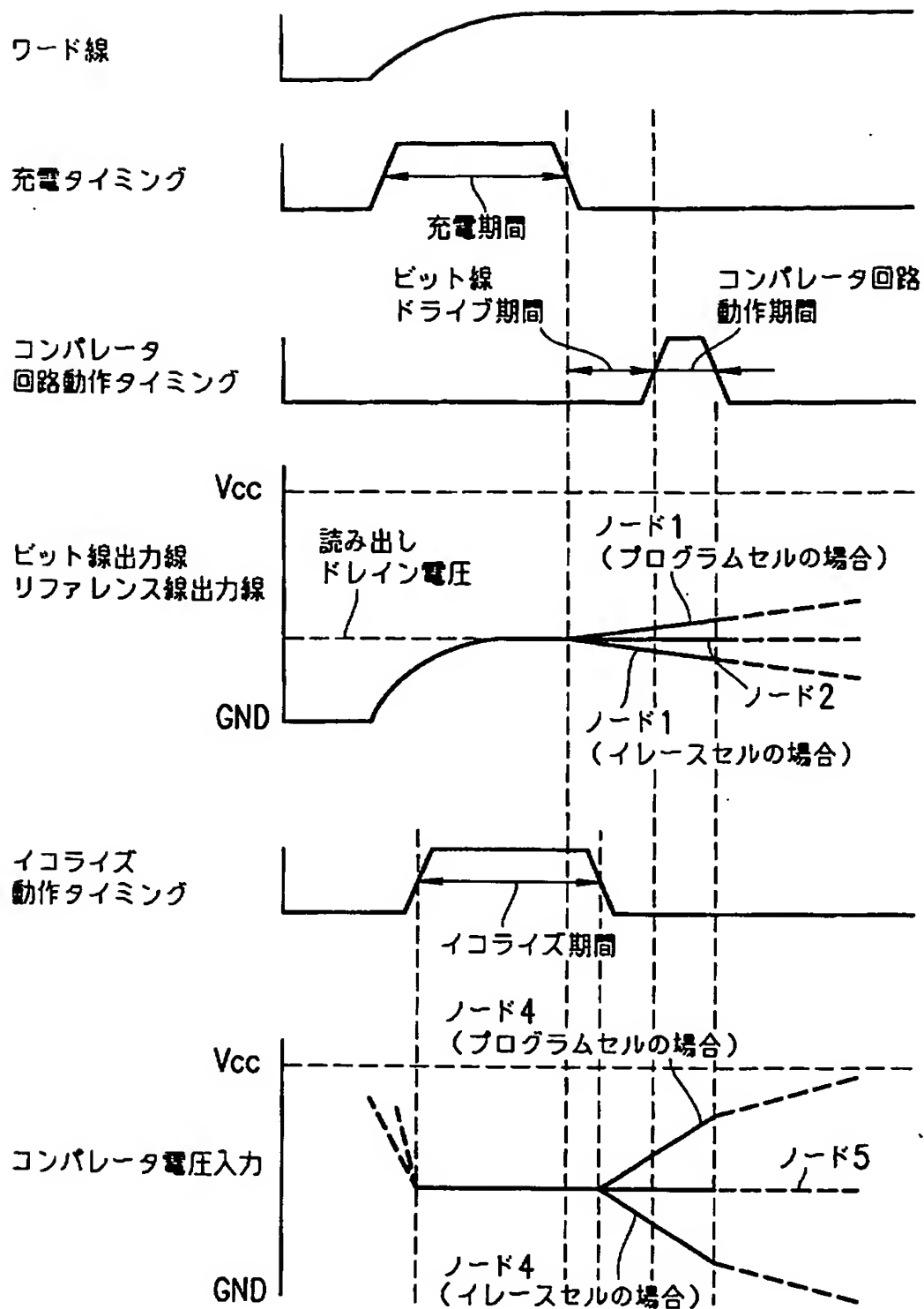
- 1 1 メモリ読出回路
- 1 2 基準電圧発生回路
- 1 3 読み出しメモリセル
- 1 4 コンパレータ回路
- 2 1 リファレンスセル
- A, B プリセンス回路

【書類名】 図面

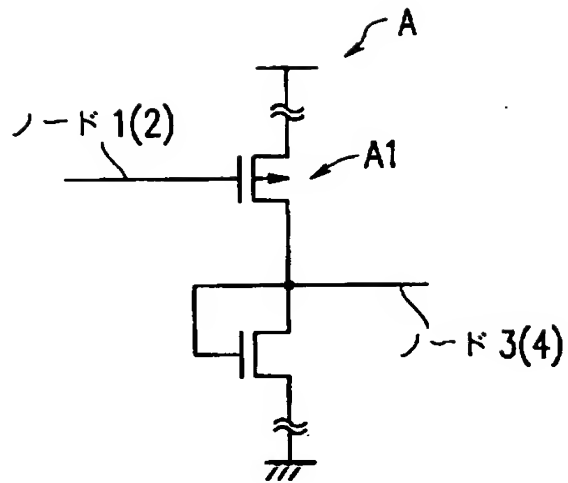
【図 1】



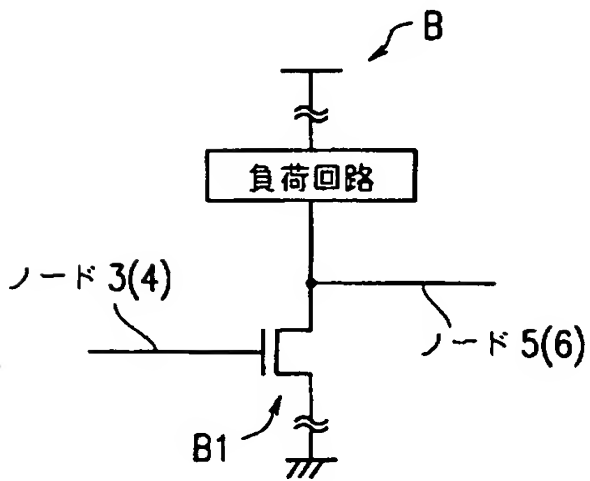
【図 2】



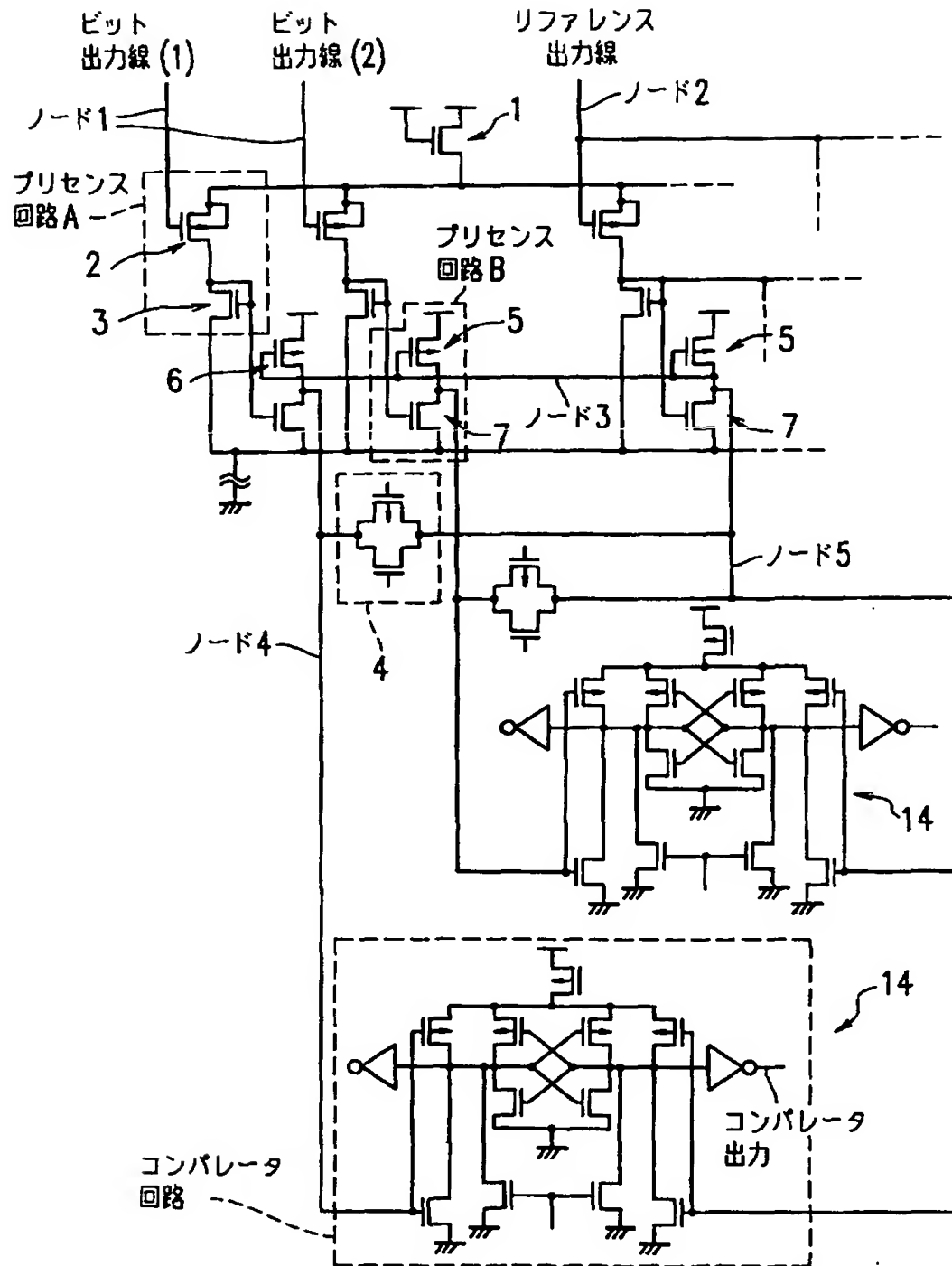
【図 3】



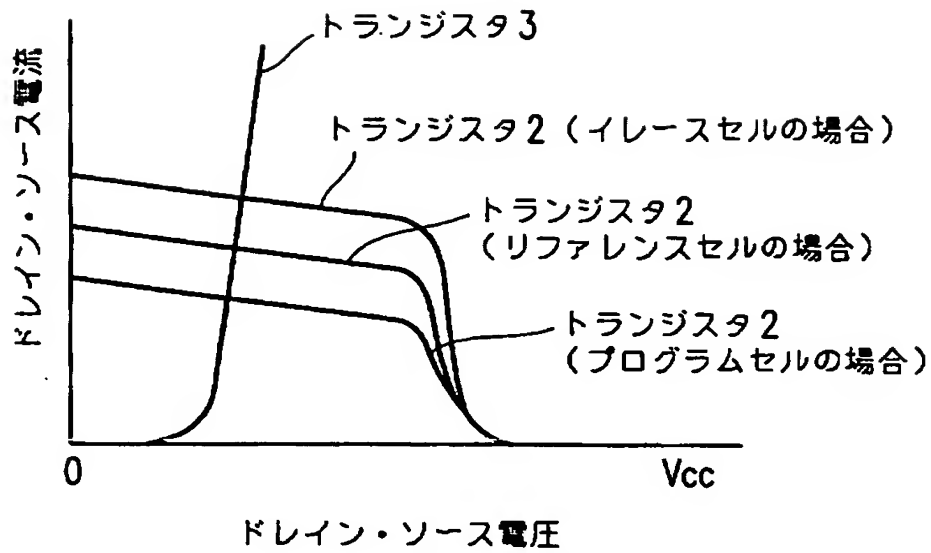
【図 4】



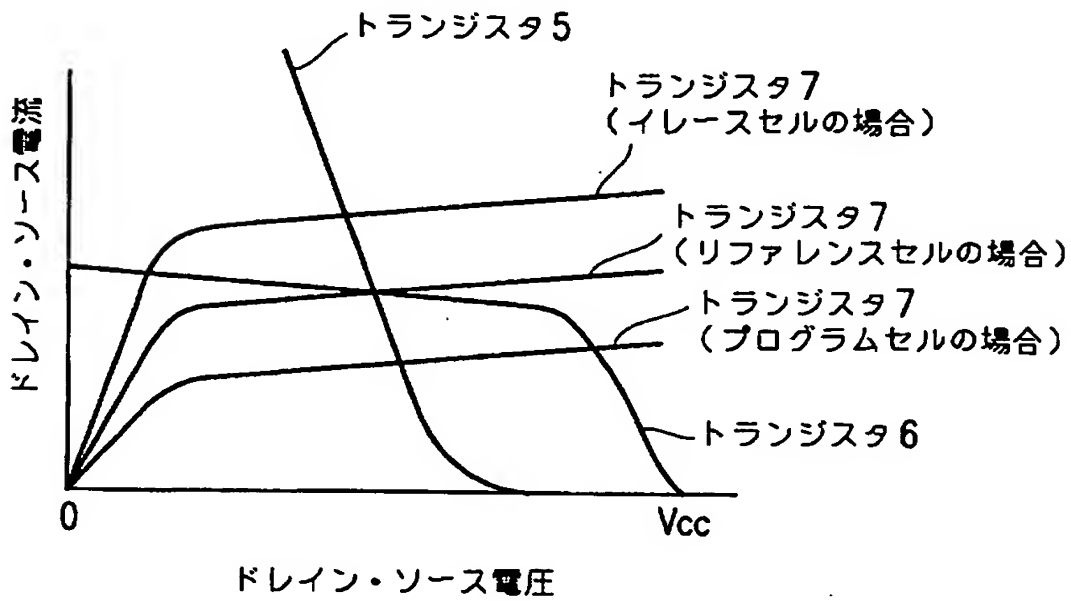
【図 5】



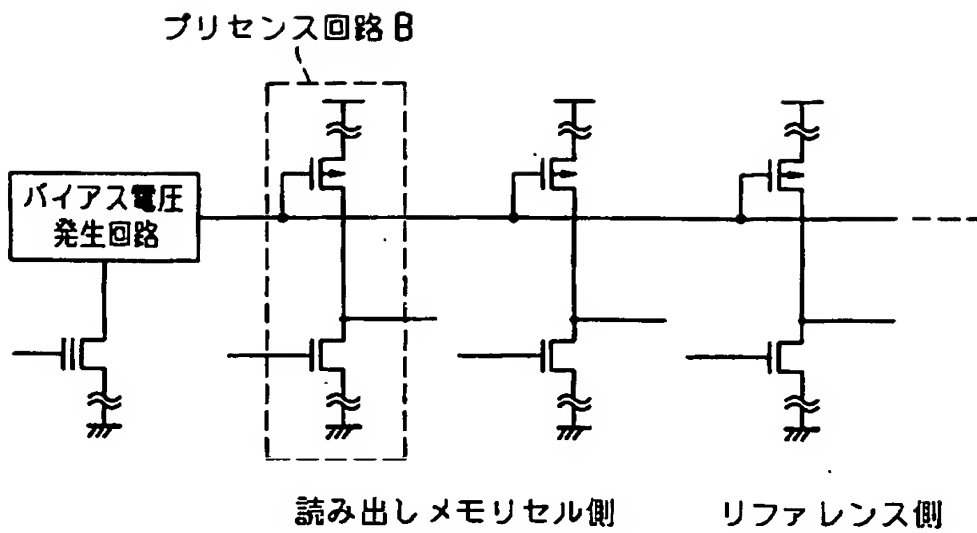
【図6】



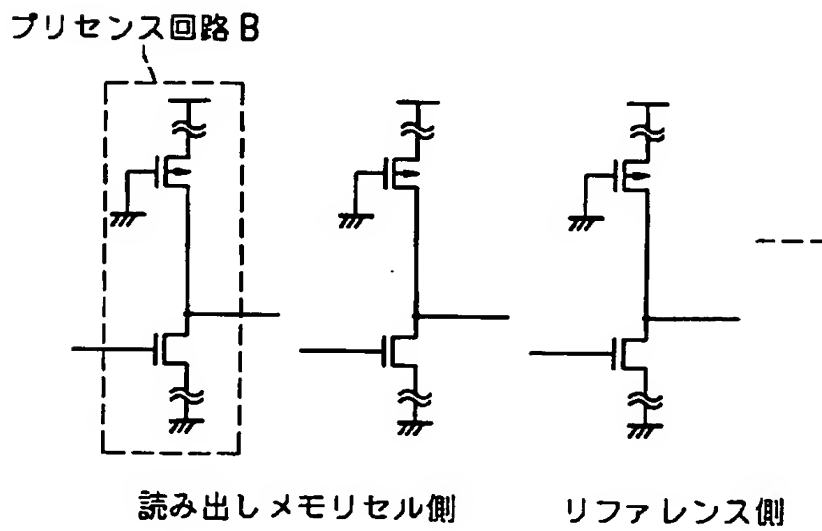
【図7】



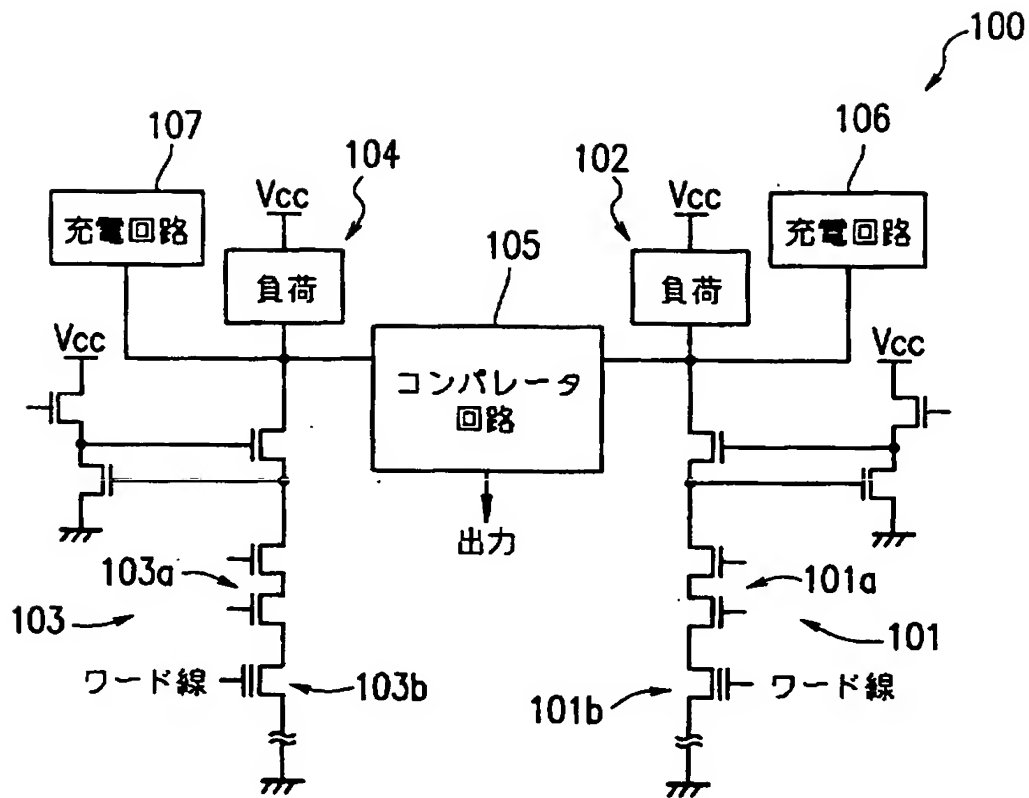
【図 8】



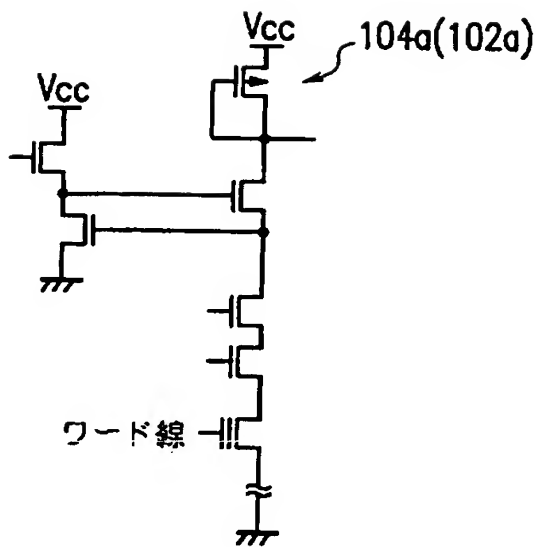
【図 9】



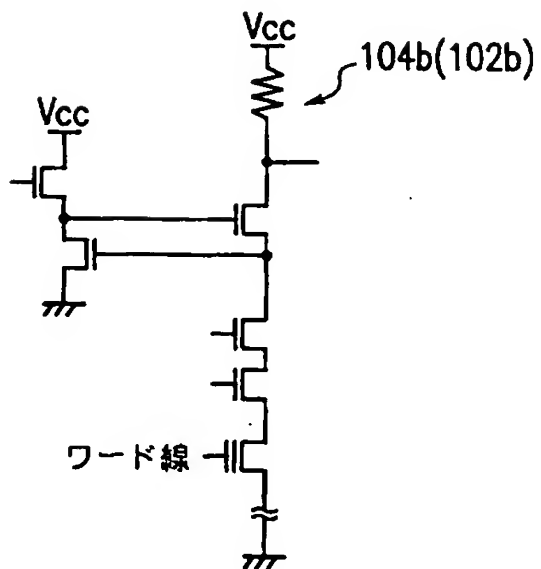
【図10】



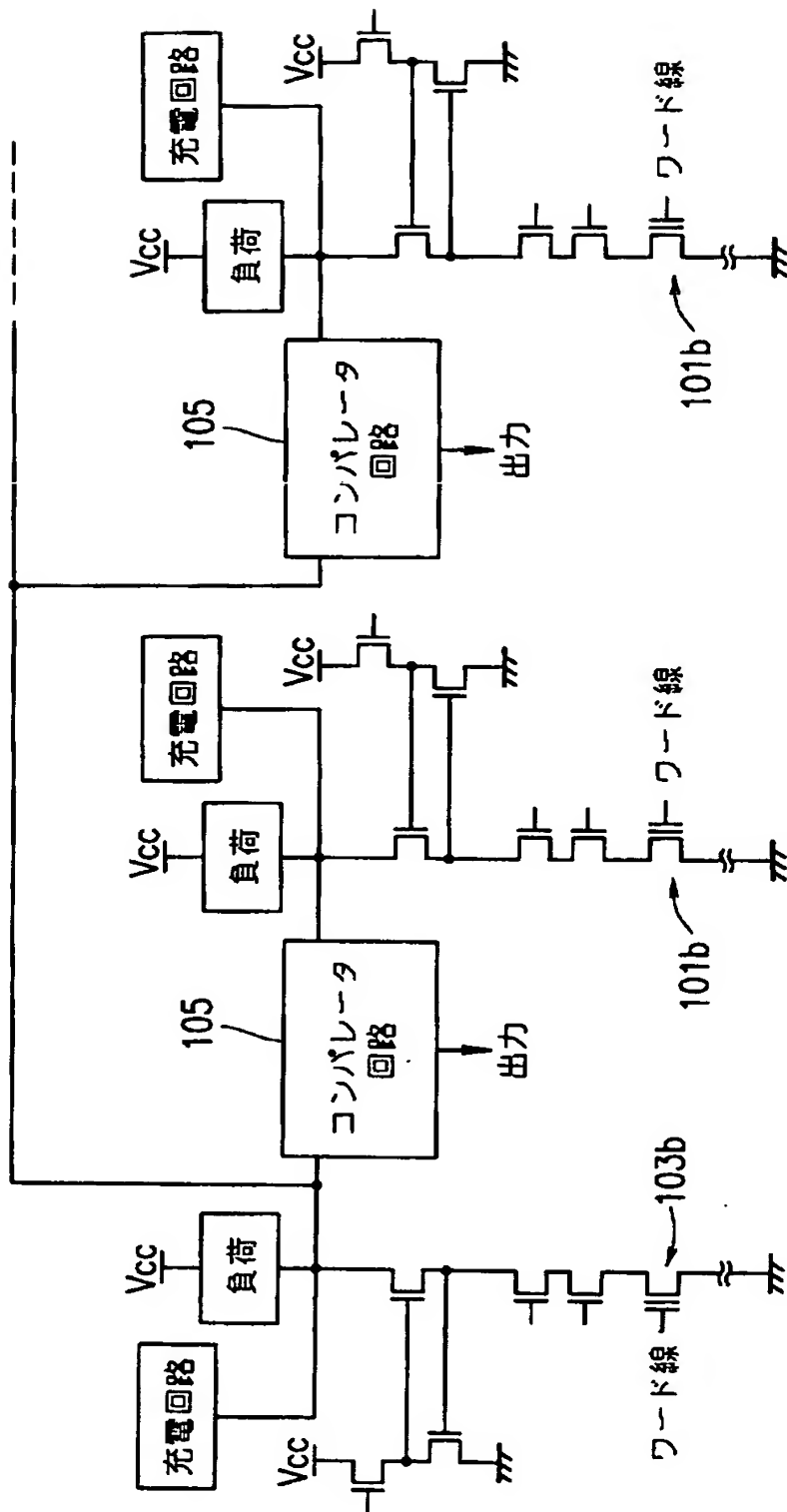
【図 1 1】



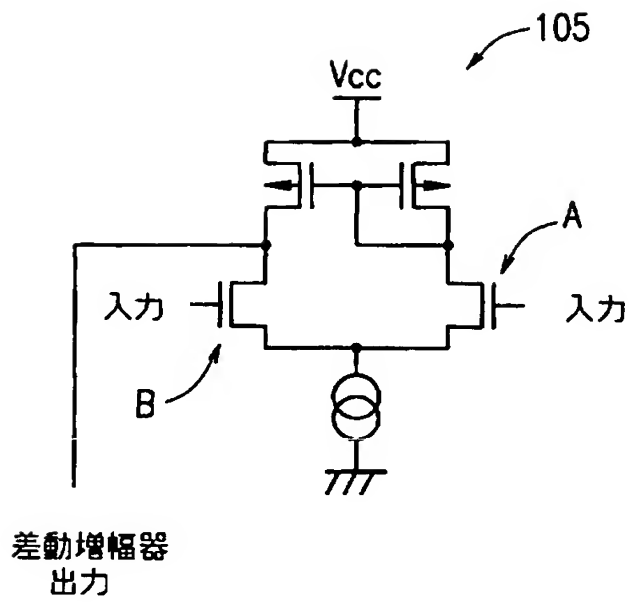
【図 1 2】



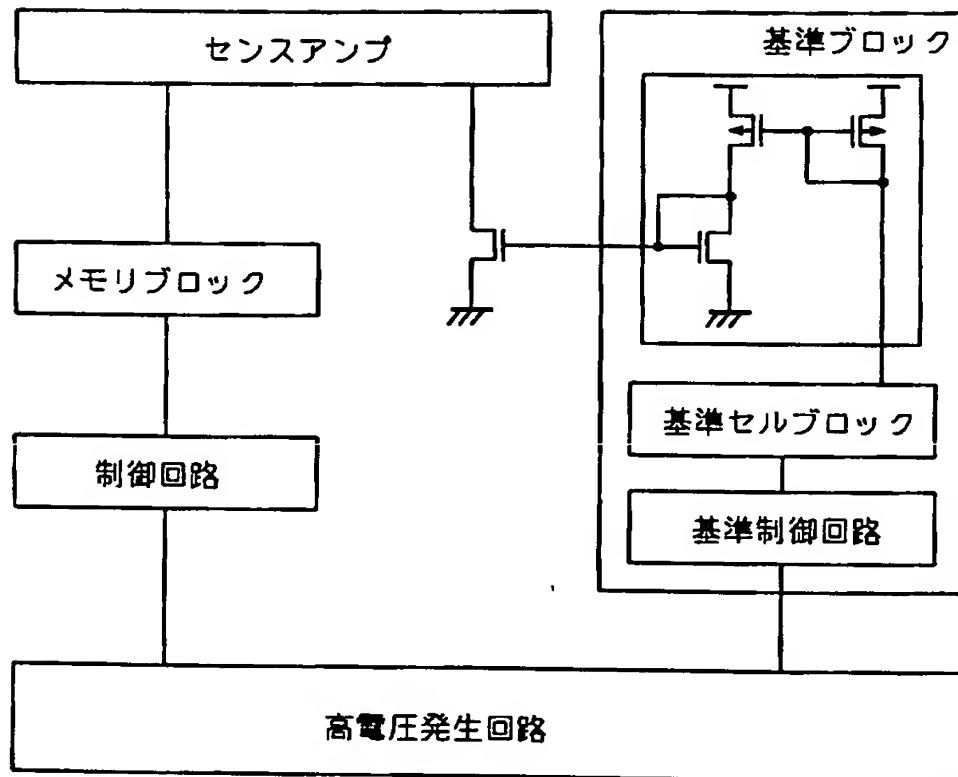
【図13】



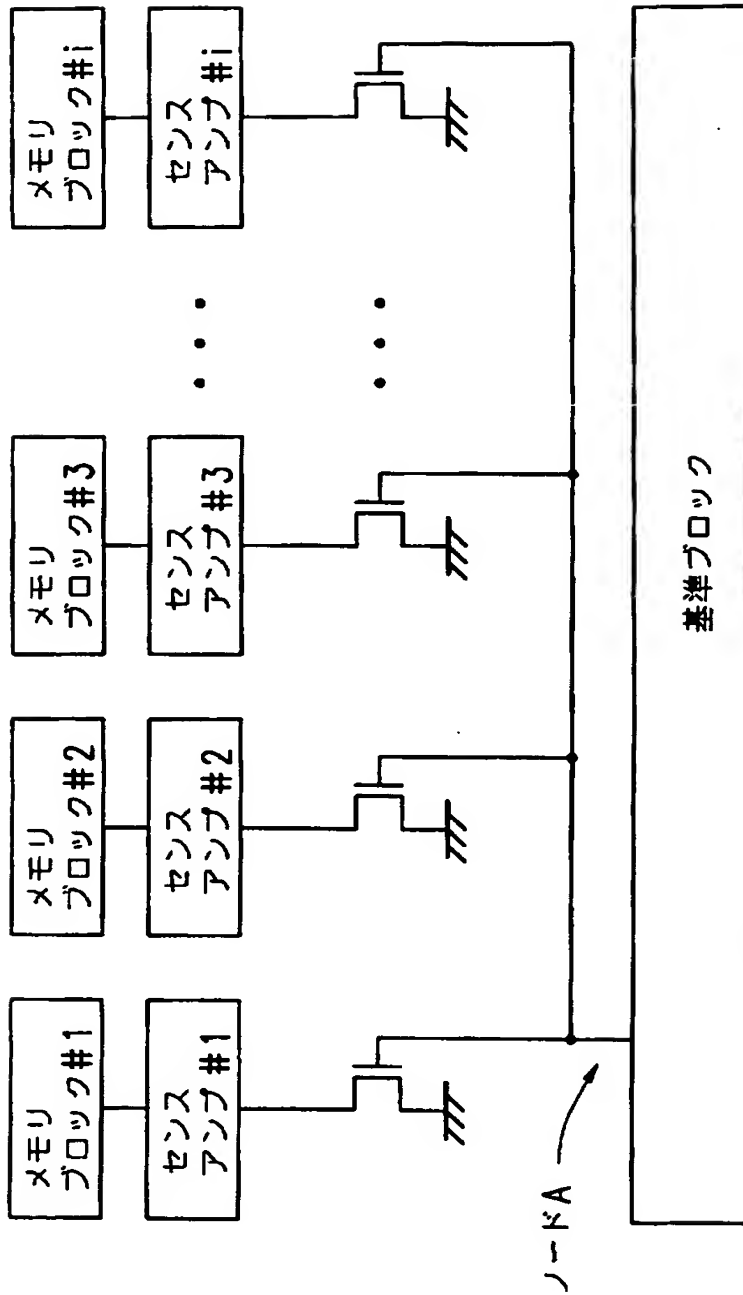
【図 1 4】



【図15】



【図16】



【書類名】 要約書

【要約】

【課題】一つのリファレンスセルより複数のセンスアンプ動作させる際に、時間的にずれの少ない複数の基準電圧を生成して、カップリングの影響を少なくし、複数のコンパレータ回路を同時動作させる。

【解決手段】一つのリファレンスメモリセル 2 1 と、このリファレンスメモリセル 2 1 に接続される入力端子および出力端子を持つ複数のプリセンス回路 A と、このプリセンス回路 A の出力が入力される複数の入力端子および出力端子を持つプリセンス回路 B と、読み出しメモリセル 1 3 側に接続される入出力端を持つプリセンス回路 A と、このプリセンス回路 A の出力が入力される入出力端を持つプリセンス回路 B と、リファレンスメモリセル 2 1 側のプリセンス回路 B とメモリセル 1 3 側のプリセンス回路 B からの両出力をコンパレータ回路の両入力とする。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 大阪府大阪市阿倍野区長池町22番22号

氏 名 シャープ株式会社